

Partial translation of JP2000-134585 A

...omitted...

[0006]

5 [Means for Solving the Problems] In order to attain the
above-mentioned object, the present invention is
characterized by determining for each of target blocks
whether the target block is a static block or a dynamic block
while sequentially switching the position where the target
10 block is extracted within an input image frame, assigning a
motion vector representing a standing-still state when the
target block is the static block, while selecting, out of
motion vectors in adjacent blocks already made clear, the
representative vector to be applied to the target block when
15 the target block is the dynamic block, then re-retrieving the
motion vector in the target block in a retrieval area
determined by the prediction error and the direction of the
representative vector, and assigning the re-retrieved motion
vector when a correlation between the re-retrieved motion
20 vector and the motion vector in the adjacent block is not less
than a predetermined level, while correcting the motion
vector to a motion vector having a high correction with the
adjacent block and assigning the motion vector after the
correction when the correlation is lower than the
25 predetermined level.

[0007] More specifically, in selecting the representative vector, the adjacent block at a position preceding the target block in the current frame and the adjacent block at a position succeeding the target block in the preceding frame, for example, are taken as reference blocks. Out of the motion vectors in the reference blocks, the motion vector having the minimum prediction error is taken as the representative vector. In the re-retrieval of the motion vector, the prediction error of the representative vector is checked.

10 When the prediction error is not more than a predetermined value, the representative vector is outputted as it is as the result of the re-retrieval. When the prediction error exceeds the predetermined value, the shape of the representative vector is a longitudinally long shape when a

15 horizontal component of the representative vector is larger than a vertical component thereof, a square when the horizontal component and the vertical component are approximately the same, and a vertically long shape when the horizontal component is smaller than the vertical component,

20 letting the representative vector be a starting point. The re-retrieval is performed by block matching processing in the retrieval area which is enlarged as the prediction error increases. In the correction of the motion vectors, the motion vector having the minimum prediction error is selected

25 out of the motion vectors in the adjacent blocks on the upper

and lower and right and left sides of the target block, and the adjacent area including the motion vector having the highest correlation with the target block is selected out of the adjacent areas positioned on the upper left, upper right, 5 lower left, and lower right sides of the target block, to find the average motion vector in the plurality of blocks included in the area.

[0008] A circuit for converting the number of frames composing an image signal according to the present invention 10 is characterized by comprising a motion vector generation part for generating a motion vector for each pixel with respect to each of input image frames, and an interpolation frame generation part for generating a motion correction interpolation frame from the current input image frame and 15 an input image signal in the input image frame which is one frame preceding the current image input frame utilizing the motion vector, and in that an output image signal having a higher frame frequency than the frame frequency of an input image is obtained by selectively combining the input image 20 frame and the interpolation frame, and the motion vector generation part comprises first means for determining, with respect to a plurality of image blocks obtained by dividing the input image frame, whether each of the image blocks is a static block or a dynamic block as a target block, second 25 means for selecting, when the target block is the dynamic

block, the representative vector to be given to the target block out of the motion vectors in the adjacent blocks already made clear, third means for re-retrieving the motion vector in the target block in a retrieval area determined by the prediction error and the direction of the representative vector, fourth means for checking a correlation between the re-retrieved motion vector and the motion vector in the adjacent block and correcting the peculiar vector having a low correlation with the adjacent block to a motion vector having a high correlation with the adjacent block, and fifth means for generating the motion vector for each pixel in the target block on the basis of the motion vector processed by the fourth means.

[0009] The fifth means assigns, in the target block having a prediction error of not more than a set value, for example, the motion vector in the target block to each of the pixels in the block, divides, in the target block having a prediction error of not less than the set value, the target block into a plurality of mini-blocks in the horizontal and vertical directions, assigns the motion vector in the target block to each of the pixels in the mini-block having a prediction error of not more than a predetermined value, assigns the motion vector having the minimum error component on the interpolation frame out of the motion vectors in the target block and the adjacent blocks to each of the pixels in the

mini-block having a prediction error of not less than the predetermined value, and assigns the motion vector having a value of zero to the pixel which does not move. According to an embodiment of the present invention, the value of the motion vector for each of the target blocks is stored in a memory in correspondence with a block position, and the second means reads out the above-mentioned motion vector in the adjacent block from the memory.

[0010] Another feature of the image signal frame number conversion circuit according to the present invention is that there is provided, in addition to the above-mentioned first to fifth means, means for measuring, out of the motion vectors generated for the image blocks by the motion vector generation part, the frequency of generation of the motion vectors whose motion speed is not less than a predetermined value, and detecting the high speed motion frame whose frequency of generation exceeds the predetermined value, and the interpolation frame generation part omits, with respect to the high speed motion frame, motion correction processing to generate the interpolation frame.

[0011] Still another feature of the present invention is that there is provided, in place of or in addition to the detection means, means for comparing the current input image frame and the preceding input image frame to detect a scene change frame, and the interpolation frame generation part omits,

with respect to the scene change frame, motion correction processing to generate the interpolation frame.

[0012] The present invention provides an image signal frame number conversion circuit also effective for a signal, which
5 is subjected to motion compensation predictive coding such as MPEG (Motion Picture Expert Group). The frame number conversion circuit comprises decoding means for subjecting the signal, which has been subjected to the motion compensation predictive coding, signal processing, and
10 separating the signal into an image signal sequence and motion vector information, a motion vector generation part for generating a motion vector for each pixel with respect to each input image frame composed of the image signal sequence, and an interpolation frame generation part for
15 generating a motion correction interpolation frame utilizing the motion vector from the current input image frame and the input image signal in the input image frame which is one frame preceding the current input image frame, and the motion vector generation part comprises first means for
20 determining, with respect to a plurality of image blocks obtained by dividing the input image frame, whether each of the image blocks is a static block or a dynamic block as a target block, second means for giving, when the target block is the dynamic block, the representative vector to the target
25 block utilizing the motion vector information outputted from

the decoding means, third means for re-retrieving the motion vector in the target block in a retrieval area determined by the prediction error and the direction of the representative vector, fourth means for checking a correlation between the re-retrieved motion vector and the motion vector in the adjacent block and correcting the peculiar vector having a low a correlation with the adjacent block to a motion vector having a high correlation with the adjacent block, and fifth block for generating the motion vector for each pixel in the target block on the basis of the motion vector processed by the fourth means. The second means comprises means for converting motion vectors in a P picture and a B picture included in the motion vector information outputted from the decoding means into motion vectors between frames required for correction processing, and means for determining the representative vector using the motion vectors obtained by the conversion as motion vectors in reference blocks adjacent to the target block.

[0013] According to the configuration of the present invention described above, the motion vector of the image can be generated with high precision by an operation amount which is smaller than that in the prior art. Further, when the frequency of generation of the motion vector whose motion speed is not less than a predetermined value is measured, to limit signal processing of a motion correction interpolation

frame to an image whose motion judder disturbance is liable to be noticeable, image quality degradation inherent to motion correction processing can be avoided. When motion vector generation processing is stopped under particular
5 image conditions as in the scene change frame, the operation amount can be further reduced.

...omitted...

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134585

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H04N 7/01

H04N 7/32

(21)Application number : 10-302147

(22)Date of filing : 23.10.1998

(71)Applicant : HITACHI LTD

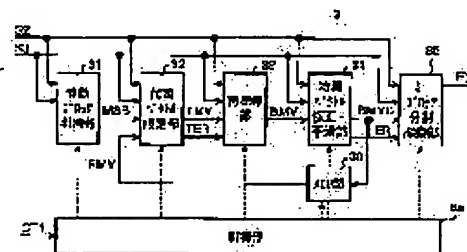
(72)Inventor : HIRANO YASUHIRO
 ISHIKURA KAZUO
 SUGIYAMA MASAHIRO
 NAKAJIMA MITSUO
 TSURU YASUTAKA
 MATONO TAKAAKI
 TAKADA HARUKI
 KANEHACHI TAKASHI

(54) MOTION VECTOR DECIDING METHOD AND METHOD AND CIRCUIT FOR NUMBER OF FRAMES OF IMAGE SIGNAL CONVERSION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a motion correction type conversion circuit which converts the number of frames of image signals with reduced deterioration of picture quality.

SOLUTION: A motion vector PV is generated for every pixel at a motion vector generation part 3 based on an input image signal S2 which is converted with progressive scanning at an IP conversion part and an input image signal S3 which is delayed at a delay part and preceding by one frame. An interpolation frame SMC is generated at a motion correction interpolation frame generation part based on the motion vector PV. The signal S2 and the frame SMC are selectively outputted by means of a buffer memory to obtain an image signal whose number of frames is increased. The part 3 includes a re-searching part 33, a singular vector correcting/smoothing part 34 and a mini-block division searching part 35 in addition to a static/dynamic block discrimination part 31 and a representative vector setting part 32 to evade the wrong setting of the motion vector in every image block.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134585

(P2000-134585A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 7/01		H 0 4 N 7/01	C 5 C 0 5 9
			G 5 C 0 6 3
7/32		7/137	Z

審査請求 未請求 請求項の数31 O L (全 19 頁)

(21)出願番号 特願平10-302147

(22)出願日 平成10年10月23日(1998.10.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平野 裕弘

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 石倉 和夫

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所システムL S I 開発セン

タ内

(74)代理人 100061893

弁理士 高橋 明夫 (外1名)

最終頁に続く

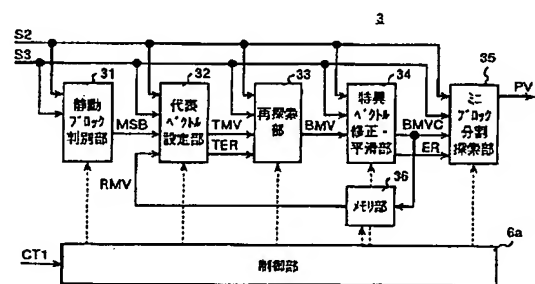
(54)【発明の名称】 動きベクトル決定方法、画像信号のフレーム数変換方法および回路

(57)【要約】

【課題】 画質劣化の少ない動き補正型のフレーム数変換回路を提供する。

【解決手段】 1 P変換部1で順次走査に変換された入力画像信号S2と、遅延部2で遅延された1フレーム前の入力画像信号S3とに基づいて、動きベクトル生成部3で画素毎の動きベクトルPVを生成し、この動きベクトルPVを利用して、動き補正内挿フレーム生成部4で内挿フレームSMCを生成し、バッファメモリ5を利用して、上記入力画像信号S2と内挿フレームSMCを選択的に出力することによって、フレーム数を増加した画像信号を得る。上記動きベクトル生成部3は、静動ブロック判別部31と代表ベクトル設定部32の他に、再探索部33、特異ベクトル修正・平滑部34、ミニブロック分割探索部35を有し、各画像ブロックでの動きベクトルの誤設定を回避している。

図 2



【特許請求の範囲】

【請求項 1】各入力画像フレームについて画素単位の動きベクトルを生成する動きベクトル生成部と、上記動きベクトルを利用して、現在の入力画像フレームと 1 フレーム前の入力画像信号とから動き補正内挿フレームを生成する内挿フレーム生成部とを有し、入力画像フレームと上記内挿フレームとを選択的に組み合わせることによって、入力画像のフレーム周波数よりフレーム周波数の高い出力画像信号を得るようにした画像信号のフレーム数変換回路において、上記動きベクトル生成部が、入力画像フレームを分割して得られる複数の画像ブロックについて、注目ブロック毎に静止ブロックか動画ブロックかを識別する第 1 手段と、上記注目ブロックが動画ブロックの場合に、既に判明している隣接ブロックの動きベクトルの中から上記注目ブロックに与えるべき代表ベクトルを選択する第 2 手段と、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索する第 3 手段と、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関をチェックし、相関の低い特異ベクトルについては上記隣接ブロックと相関の高い動きベクトルに修正する第 4 手段と、上記第 4 手段で処理された動きベクトルに基づいて、上記注目ブロックの画素単位の動きベクトルを生成する第 5 手段とからなることを特徴とする画像信号のフレーム数変換回路。

【請求項 2】前記第 2 手段は、静止ブロックに対しては、値 0 の代表ベクトルを割り当て、動画ブロックに対しては、現フレーム内で前記注目ブロックより前に位置した隣接ブロックと、前フレーム内で上記注目ブロックより後に位置した隣接ブロックとを参照ブロックとし、これらの参照ブロックがもつ動きベクトルのうちで予測誤差が最小のものを前記代表ベクトルとすることを特徴とする請求項 1 に記載の画像信号のフレーム数変換回路。

【請求項 3】前記第 3 手段は、前記代表ベクトルの予測誤差が所定値以下の場合は、該代表ベクトルを前記注目ブロックの動きベクトルとし、上記予測誤差が所定値を超えた場合は、上記代表ベクトルを起点として、該代表ベクトルの水平方向成分が垂直方向成分より大きい時は横長形、水平方向成分と垂直方向成分がほぼ同じ時は正方形、水平方向成分が垂直方向成分より小さい時は縦長形で、上記予測誤差が大きくなるに従って拡大された探索領域において、ブロックマッチング処理により前記注目ブロックの動きベクトルを再探索することを特徴とする請求項 1 に記載の画像信号のフレーム数変換回路。

【請求項 4】前記第 4 手段は、前記特異ベクトルを、前記注目ブロックの上下左右の隣接ブロックが有する動き

ベクトルのうちで予測誤差が最小となる動きベクトルに置換するための手段と、上記注目ブロックに対して左上、右上、左下、右下に位置する隣接領域のうち動きベクトルの相関が最も高い領域を特定し、上記置換された動きベクトルを、上記特定領域に含まれる複数のブロックの平均的な動きベクトルに置換するための手段とを有することを特徴とする請求項 1 に記載の画像信号のフレーム数変換回路。

【請求項 5】前記第 5 手段は、前記注目ブロックを水平、垂直に細分化して得られる複数のミニブロックについて、予測誤差成分の大小に応じて適応的に動きベクトルを探索するための手段を含むことを特徴とする請求項 1 に記載の画像信号のフレーム数変換回路。

【請求項 6】前記第 5 手段は、予測誤差が設定値以下の注目ブロックでは、ブロック内の各画素に対して該注目ブロックの動きベクトルを割り当て、予測誤差が設定値以上の注目ブロックでは、該ブロックを水平・垂直方向に複数のミニブロックに分割し、予測誤差が所定値以下のミニブロック内の各画素に対しては、上記注目ブロックの動きベクトルを割り当て、予測誤差が所定値以上のミニブロック内の各画素に対しては、該注目ブロックと隣接ブロックの動きベクトルのうちで内挿フレーム上での誤差成分が最小な動きベクトルを割り当て、動きのない画素に対しては、値 0 の動きベクトルを割り当てることを特徴とする請求項 1 に記載の画像信号のフレーム数変換回路。

【請求項 7】前記第 4 手段で処理された動きベクトルをブロック位置と対応して記憶するためのメモリを有し、前記第 2 手段が、前記隣接ブロックの動きベクトルを上記メモリから読み出すことを特徴とする請求項 1 ～請求項 6 の何れかに記載の画像信号のフレーム数変換回路。

【請求項 8】飛び越し走査の画像信号系列を順次走査の画像信号系列に変換する I/P 変換部と、飛び越し操作系の動きベクトルを順次走査系の動きベクトルに変換するための手段とを有し、前記動きベクトル生成部が、上記飛び越し走査の画像信号系列から前記動きベクトルを生成し、上記ベクトル変換手段が、上記動きベクトル生成部で生成された飛び越し操作系の動きベクトルを順次走査系の動きベクトルに変換して、前記内挿フレーム生成部に供給することを特徴とする請求項 1 ～請求項 7 の何れかに記載の画像信号のフレーム数変換回路。

【請求項 9】飛び越し走査の画像信号系列を走査線補間によって順次走査の画像信号系列に変換する I/P 変換手段を備え、前記動きベクトル生成部が、上記 I/P 変換手段から出力された順次走査の画像信号系列から前記動きベクトルを生成することを特徴とする請求項 1 ～請求項 7 の何れかに記載の画像信号のフレーム数変換回路。

【請求項 10】前記動きベクトル生成部が、入力画像の輝度信号を用いて、前記動きベクトル生成に必要な予測誤差の算出を行うことを特徴とする請求項 1 ～請求項 9

の何れか記載の画像信号のフレーム数変換回路。

【請求項11】前記画像ブロック毎に生成される動きベクトルのうち、動き速度が所定値以上となる動きベクトルの発生頻度を計測し、上記発生頻度が所定値を超える高速度の動きフレームを検出するための手段を有し、上記高速度の動きフレームについては、前記内挿フレーム生成部が、動き補正処理を省略した内挿フレームを生成するようにしたことを特徴とする請求項1～請求項10の何れかに記載の画像信号のフレーム数変換回路。

【請求項12】前記内挿フレーム生成部が生成する動き補正処理を省略した内挿フレームは、現在の入力画像フレームであることを特徴とする請求項11に記載の画像信号のフレーム数変換回路。

【請求項13】現在の入力画像フレームと1フレーム前の入力画像フレームとを比較してシーンチェンジ・フレームを検出するための手段を有し、上記シーンチェンジ・フレームについては、前記内挿フレーム生成部が、動き補正処理を省略して内挿フレームを生成するようにしたことを特徴とする請求項1～請求項12の何れかに記載の画像信号のフレーム数変換回路。

【請求項14】所定フレーム数毎に繰り返しフレームを挿入することによって、前記入力画像信号をフレーム周波数の高い画像信号系列に変換するための手段を有し、前記動きベクトル生成部と前記内挿フレーム生成部が、それぞれ上記フレーム周波数変換後の画像信号系列から前記動きベクトルおよび内挿フレームを生成することを特徴とする請求項1～請求項13の何れかに記載の画像信号のフレーム数変換回路。

【請求項15】前記入力画像信号からなる画像フレームと前記内挿フレーム生成部で生成した内挿フレームとを一時的に格納するためのバッファメモリを有し、上記バッファメモリから変換後のフレーム周期で前記出力画像信号を読み出すことを特徴とする請求項1～請求項13の何れかに記載の画像信号のフレーム数変換回路。

【請求項16】請求項1～請求項15の何れかに記載のフレーム数変換回路の出力に結合された画像表示手段を備えたことを特徴とする画像表示装置。

【請求項17】動き補償予測符号化された信号を復号処理し、画像信号系列と動きベクトル情報とに分離する復号手段と、上記画像信号系列からなる各入力画像フレームについて画素単位の動きベクトルを生成する動きベクトル生成部と、上記動きベクトルを利用して、現在の入力画像フレームと1フレーム前の入力画像信号とから動き補正内挿フレームを生成する内挿フレーム生成部とを有し、入力画像フレームと上記内挿フレームとを選択的に組み合わせることによって、入力画像のフレーム周波数よりフレーム周波数の高い出力画像信号を得るようにした画像信号のフレーム数変換回路において、上記動きベクトル生成部が、

入力画像フレームを分割して得られる複数の画像ブロッ

クについて、注目ブロック毎に静止ブロックか動画ブロックかを識別する第1手段と、

上記注目ブロックが動画ブロックの場合に、上記復号手段から出力された動きベクトル情報を利用して上記注目ブロックに代表ベクトルを与える第2手段と、

上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索する第3手段と、

上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関をチェックし、相関の低い特異ベクトルについては上記隣接ブロックと相関の高い動きベクトルに修正する第4手段と、

上記第4手段で処理された動きベクトルに基づいて、上記注目ブロックの画素単位の動きベクトルを生成する第5手段とからなることを特徴とする画像信号のフレーム数変換回路。

【請求項18】前記第2手段が、前記復号手段から出力された動きベクトル情報に含まれるPピクチャとBピクチャの動きベクトルを補正処理に必要な1フレーム間の動きベクトルに変換するための手段と、上記変換された動きベクトルを前記注目ブロックに隣接する参照ブロックの動きベクトルとして用いて、前記代表ベクトルを決定するための手段とを有することを特徴とする請求項17に記載の画像信号のフレーム数変換回路。

【請求項19】前記第3手段は、前記代表ベクトルの予測誤差が所定値以下の場合は、該代表ベクトルを前記注目ブロックの動きベクトルとし、上記予測誤差が所定値を超えた場合は、上記代表ベクトルを起点として、該代表ベクトルの水平方向成分が垂直方向成分より大きい時は横長形、水平方向成分と垂直方向成分がほぼ同じ時は正方形、水平方向成分が垂直方向成分より小さい時は縦長形で、上記予測誤差が大きくなるに従って拡大された探索領域において、ブロックマッチング処理により前記注目ブロックの動きベクトルを再探索することを特徴とする請求項17または請求項18に記載の画像信号のフレーム数変換回路。

【請求項20】前記第4手段は、前記特異ベクトルを、前記注目ブロックの上下左右の隣接ブロックが有する動きベクトルのうちで予測誤差が最小となる動きベクトルに置換するための手段と、上記注目ブロックに対して左上、右上、左下、右下に位置する隣接領域のうち動きベクトルの相関が最も高い領域を特定し、上記置換された動きベクトルを、上記特定領域に含まれる複数のブロックの平均的な動きベクトルに置換するための手段とを有することを特徴とする請求項17または請求項18に記載の画像信号のフレーム数変換回路。

【請求項21】前記第5手段は、前記注目ブロックを水平、垂直に細分化して得られる複数のミニブロックについて、予測誤差成分の大小に応じて適応的に動きベクトルを探索するための手段を含むことを特徴とする請求項

17または請求項18に記載の画像信号のフレーム数変換回路。

【請求項22】前記第5手段は、予測誤差が設定値以下の注目ブロックでは、ブロック内の各画素に対して該注目ブロックの動きベクトルを割り当て、予測誤差が設定値以上の注目ブロックでは、該ブロックを水平・垂直方向に複数のミニブロックに分割し、予測誤差が所定値以下のミニブロック内の各画素に対しては、上記注目ブロックの動きベクトルを割り当て、予測誤差が所定値以上のミニブロック内の各画素に対しては、該注目ブロックと隣接ブロックの動きベクトルのうちで内挿フレーム上での誤差成分が最小な動きベクトルを割り当て、動きのない画素に対しては、値0の動きベクトルを割り当てることを特徴とする請求項17または請求項18に記載の画像信号のフレーム数変換回路。

【請求項23】飛び越し走査の画像信号系列を順次走査の画像信号系列に変換するIP変換部と、飛び越し操作系の動きベクトルを順次走査系の動きベクトルに変換するための手段とを有し、

前記復号手段が飛び越し走査の画像信号系列を上記IP変換部に供給し、前記動きベクトル生成部が、上記飛び越し走査の画像信号系列から前記動きベクトルを生成し、上記ベクトル変換手段が、上記動きベクトル生成部で生成された飛び越し操作系の動きベクトルを順次走査系の動きベクトルに変換して、前記内挿フレーム生成部に供給し、上記内挿フレーム生成部が、上記順次走査系の動きベクトルと上記IP変換部から出力された順次操作の画像信号系列から動き補正内挿フレームを生成することを特徴とする請求項17～請求項22の何れかに記載の画像信号のフレーム数変換回路。

【請求項24】前記画像ブロック毎に生成される動きベクトルのうち、動き速度が所定値以上となる動きベクトルの発生頻度を計測し、上記発生頻度が所定値を超える高速度の動きフレームを検出するための手段を有し、上記高速度の動きフレームについては、前記内挿フレーム生成部が、動き補正処理を省略した内挿フレームを生成するようにしたことを特徴とする請求項17～請求項23の何れかに記載の画像信号のフレーム数変換回路。

【請求項25】現在の入力画像フレームと1フレーム前の入力画像フレームとを比較してシーンチェンジ・フレームを検出するための手段を有し、上記シーンチェンジ・フレームについては、前記内挿フレーム生成部が、動き補正処理を省略した内挿フレームを生成するようにしたことを特徴とする請求項17～請求項24の何れかに記載の画像信号のフレーム数変換回路。

【請求項26】入力画像フレームを分割して得られる画像ブロックの動きベクトル決定方法において、上記入力画像フレーム内で注目ブロックの抽出位置を順次に切り替えながら、各注目ブロック毎に静止ブロックか動画ブロックかを識別し、

上記注目ブロックが静止ブロックの場合は、静止状態を示す動きベクトルを割り当て、

上記注目ブロックが動画ブロックの場合は、既に判明している隣接ブロックの動きベクトルの中から上記注目ブロックに与えるべき代表ベクトルを選択した後、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索し、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関が所定レベル以上の場合は、上記再探索された動きベクトルを割り当て、上記相関が所定レベルより低い場合は、上記隣接ブロックとの相関の高い動きベクトルに修正したものを割り当てることを特徴とする画像ブロックの動きベクトル決定方法。

【請求項27】前記代表ベクトルの選択において、現フレーム内で前記注目ブロックより前に位置した隣接ブロックと、前フレーム内で上記注目ブロックより後に位置した隣接ブロックとを参照ブロックとし、これらの参照ブロックがもつ動きベクトルのうちで予測誤差が最小のものを代表ベクトルとすることを特徴とする請求項26に記載の画像ブロックの動きベクトル決定方法。

【請求項28】前記動きベクトルの再探索において、前記代表ベクトルの予測誤差をチェックし、上記予測誤差が所定値以下の場合は、上記代表ベクトルをそのまま再探索結果として出力し、上記予測誤差が所定値を超えた場合は、上記代表ベクトルを起点として、該代表ベクトルの水平方向成分が垂直方向成分より大きい時は横長形、水平方向成分と垂直方向成分がほぼ同じ時は正方形、水平方向成分が垂直方向成分より小さい時は縦長形で、上記予測誤差が大きくなるに従って拡大された探索領域においてブロックマッチング処理により行うことを特徴とする請求項26に記載の画像ブロックの動きベクトル決定方法。

【請求項29】前記動きベクトルの修正において、前記注目ブロックの上下左右の隣接ブロックが有する動きベクトルのうちで予測誤差が最小となる動きベクトルを選択し、該動きベクトルに基いて、上記注目ブロックの左上、右上、左下、右下に位置する隣接領域のうち動きベクトルの相関が最も高い領域を選択し、該領域に含まれる複数のブロックの平均的な動きベクトルを求めることを特徴とする請求項26に記載の画像ブロックの動きベクトル決定方法。

【請求項30】前記注目ブロックに割り当てられた動きベクトルに基いて、上記注目ブロックの画素単位の動きベクトルを生成することを特徴とする請求項26～請求項28の何れかに記載の画像ブロックの動きベクトル決定方法。

【請求項31】各入力画像フレームについて画素単位の動きベクトルを生成し、上記動きベクトルを利用して、現在の入力画像フレームと1フレーム前の入力画像信号とから動き補正内挿フレームを生成し、入力画像フレー

10

20

30

40

50

ムと上記内挿フレームとを選択的に組み合わせることによって、入力画像のフレーム周波数よりフレーム周波数の高い出力画像信号を得るようにした画像信号のフレーム数変換方法において、

上記入力画像フレーム内で注目ブロックの抽出位置を順次に切り替えながら、各注目ブロック毎に静止ブロックか動画ブロックかを識別し、

上記注目ブロックが静止ブロックの場合は、静止状態を示す動きベクトルを割り当て、

上記注目ブロックが動画ブロックの場合は、既に判明している隣接ブロックの動きベクトルの中から上記注目ブロックに与えるべき代表ベクトルを選択した後、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索し、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関が所定レベル以上の場合は、上記再探索された動きベクトルを割り当て、上記相関が所定レベルより低い場合は、上記隣接ブロックとの相関の高い動きベクトルに修正したものを割り当て、

上記注目ブロック毎の動きベクトルに基いて、各注目ブロック内の画素単位の動きベクトルを生成することを特徴とする画像信号のフレーム数変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像の動きベクトル決定方法、画像信号のフレーム数変換方法および変換回路に係り、特に、入力画像信号を動き補正信号処理によってフレーム周波数の高い順次走査画像信号に変換する動き補正型のフレーム数変換方法及び変換回路、これに適した動きベクトルの決定方法、および、これを利用した画像表示装置に関する。

【0002】

【従来の技術】近年、マルチメディア化の進展に伴い、情報家電端末機能を備えたテレビジョン受像機では、テレビジョン信号とPC画像信号のように画像フォーマットの異なる種々の信号表示が必要とされる。また、表示画像の高画質化や平面ディスプレイ装置に対応するために、順次走査による画像表示が要求され、端末装置の画像信号処理部に、方式の異なる各種の入力映像信号を端末装置の画像表示部に固有のフォーマットに変換するためのフレーム数変換機能や、飛び越し走査（インターレース）の入力画像信号を順次走査画像信号に変換する機能が必要になる。

【0003】フレーム数を変換するために、同一コマ（画像フレーム）の繰り返しやコマ落し等の単純な信号処理を行った場合、動き画像において滑らかさが損なわれるモーションジャダー妨害などの画質劣化が発生することが知られている。また、上記妨害を回避する方法として、動き補正型のフレーム数変換が知られている。動き補正型のフレーム数変換は、前後2つの画像フレー

ムについて、フレーム内の画像の位置を動きベクトルに従って移動させた後、内挿フレームの画像信号を生成するものであり、信号処理の方法や回路構成に関して、既に多くの提案がなされている。例えば、特開平7-170496号公報には、動きベクトルを効率よく探索するための技術が、また、特開平7-336650号公報には、動き補正に固有の動画エッジ周縁部における解像度低下を回避する技術が提案されている。しかしながら、前者は動き検出精度に、また、後者は信号処理の複雑さに問題があり、コストおよび画質の面で満足できるフレーム数変換技術とは言えない。

【0004】動き補正のフレーム数変換では、動きベクトルに誤検出が発生すると、変換後の画像の一部が不適切な画像に置き換えられる孤立点的な劣化や、動画のエッジ部がフリッカしたり動きが不自然に見える劣化が発生する。従って、高画質の変換画像を得るためには、動きベクトルの検出を高精度で、かつ、できるだけ少ない演算量で達成する必要がある。

【0005】

【発明が解決しようとする課題】本発明の目的は、高画質の変換画像を出力できる動き補正型のフレーム数変換方法および変換回路を提供することにある。本発明の他の目的は、フレーム数変換に必要な高精度の動きベクトル検出方法および装置を提供することにある。本発明の更に他の目的は、外部から入力された動画画像を情報処理用の表示画面に高画質で表示可能な画像表示装置を提供することにある。

【0006】

【課題を解決するための手段】上述した目的を達成するために、本発明では、入力画像フレーム内で注目ブロックの抽出位置を順次に切り替えながら、各注目ブロック毎に静止ブロックか動画ブロックかを識別し、上記注目ブロックが静止ブロックの場合は、静止状態を示す動きベクトルを割り当て、上記注目ブロックが動画ブロックの場合は、既に判明している隣接ブロックの動きベクトルの中から上記注目ブロックに与えるべき代表ベクトルを選択した後、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索し、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関が所定レベル以上の場合は、上記再探索された動きベクトルを割り当て、上記相関が所定レベルより低い場合は、上記隣接ブロックとの相関の高い動きベクトルに修正したものを割り当てることを特徴とする。

【0007】更に具体的に述べると、上記代表ベクトルの選択では、例えば、現フレーム内で注目ブロックより前に位置した隣接ブロックと、前フレーム内で上記注目ブロックより後に位置した隣接ブロックとを参照ブロックとし、これらの参照ブロックがもつ動きベクトルのうちで予測誤差が最小のものを代表ベクトルとする。ま

た、上記動きベクトルの再探索では、代表ベクトルの予測誤差をチェックし、上記予測誤差が所定値以下の場合には、上記代表ベクトルをそのまま再探索結果として出力し、上記予測誤差が所定値を超えた場合は、例えば、上記代表ベクトルを起点として、該代表ベクトルの水平方向成分が垂直方向成分より大きい時は横長形、水平方向成分と垂直方向成分がほぼ同じ時は正方形、水平方向成分が垂直方向成分より小さい時は縦長形で、上記予測誤差が大きくなるに従って拡大された探索領域においてブロックマッチング処理により行う。上記動きベクトルの修正では、注目ブロックの上下左右の隣接ブロックが有する動きベクトルのうちで予測誤差が最小となる動きベクトルを選択し、該動きベクトルに基いて、例えば、上記注目ブロックの左上、右上、左下、右下に位置する隣接領域のうち動きベクトルの相関が最も高い領域を選択し、該領域に含まれる複数のブロックの平均的な動きベクトルを求める。

【0008】本発明による画像信号のフレーム数変換回路は、各入力画像フレームについて画素単位の動きベクトルを生成する動きベクトル生成部と、上記動きベクトルを利用して、現在の入力画像フレームと1フレーム前の入力画像信号とから動き補正内挿フレームを生成する内挿フレーム生成部とを有し、入力画像フレームと上記内挿フレームとを選択的に組み合わせることによって、入力画像のフレーム周波数よりフレーム周波数の高い出力画像信号を得ようになっており、上記動きベクトル生成部が、入力画像フレームを分割して得られる複数の画像ブロックについて、注目ブロック毎に静止ブロックか動画ブロックかを識別する第1手段と、上記注目ブロックが動画ブロックの場合に、既に判明している隣接ブロックの動きベクトルの中から上記注目ブロックに与えるべき代表ベクトルを選択する第2手段と、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索する第3手段と、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関をチェックし、相関の低い特異ベクトルについては上記隣接ブロックと相関の高い動きベクトルに修正する第4手段と、上記第4手段で処理された動きベクトルに基いて、上記注目ブロックの画素単位の動きベクトルを生成する第5手段とからなることを特徴とする。

【0009】上記第5手段は、例えば、予測誤差が設定値以下の注目ブロックでは、ブロック内の各画素に対して該注目ブロックの動きベクトルを割り当て、予測誤差が設定値以上の注目ブロックでは、該ブロックを水平・垂直方向に複数のミニブロックに分割し、予測誤差が所定値以下のミニブロック内の各画素に対しては、上記注目ブロックの動きベクトルを割り当て、予測誤差が所定値以上のミニブロック内の各画素に対しては、該注目ブロックと隣接ブロックの動きベクトルのうちで内挿フレーム上での誤差成分が最小な動きベクトルを割り当て、

動きのない画素に対しては、値0の動きベクトルを割り当てる。本発明の1実施例によれば、各注目ブロック毎の動きベクトルの値は、ブロック位置と対応してメモリに記憶され、上記第2手段が、前述した隣接ブロックの動きベクトルを上記メモリから読み出すようにしている。

【0010】本発明による画像信号のフレーム数変換回路の他の特徴は、上述した第1第～第5手段の他に、更に、前記動きベクトル生成部で画像ブロック毎に生成される動きベクトルのうち、動き速度が所定値以上となる動きベクトルの発生頻度を計測し、上記発生頻度が所定値を超える高速度の動きフレームを検出するための手段を有し、上記高速度の動きフレームについては、前記内挿フレーム生成部が、動き補正処理を省略して内挿フレームを生成するようにしたことにある。

【0011】本発明による画像信号のフレーム数変換回路の更に他の特徴は、上記検出手段に代えて、あるいはこれに加えて、現在の入力画像フレームと1フレーム前の入力画像フレームとを比較してシーンチェンジ・フレームを検出するための手段を有し、上記シーンチェンジ・フレームについては、前記内挿フレーム生成部が、動き補正処理を省略した内挿フレームを生成するようにしたことにある。

【0012】本発明は、例えばMPEGのように動き補償予測符号化された信号に対しても有効な画像信号のフレーム数変換回路を提供する。上記フレーム数変換回路は、動き補償予測符号化された信号を復号処理し、画像信号系列と動きベクトル情報とに分離する復号手段と、上記画像信号系列からなる各入力画像フレームについて画素単位の動きベクトルを生成する動きベクトル生成部と、上記動きベクトルを利用して、現在の入力画像フレームと1フレーム前の入力画像信号とから動き補正内挿フレームを生成する内挿フレーム生成部とを有し、上記動きベクトル生成部が、入力画像フレームを分割して得られる複数の画像ブロックについて、注目ブロック毎に静止ブロックか動画ブロックかを識別する第1手段と、上記注目ブロックが動画ブロックの場合に、上記復号手段から出力された動きベクトル情報を利用して上記注目ブロックに代表ベクトルを与える第2手段と、上記代表ベクトルの予測誤差と方向で定まる探索領域で上記注目ブロックの動きベクトルを再探索する第3手段と、上記再探索された動きベクトルと隣接ブロックの動きベクトルとの相関をチェックし、相関の低い特異ベクトルについては上記隣接ブロックと相関の高い動きベクトルに修正する第4手段と、上記第4手段で処理された動きベクトルに基いて、上記注目ブロックの画素単位の動きベクトルを生成する第5手段とからなることを特徴とする。上記第2手段は、例えば、上記復号手段から出力された動きベクトル情報に含まれるPピクチャとBピクチャの動きベクトルを補正処理に必要な1フレーム間の動きベ

クトルに変換するための手段と、上記変換された動きベクトルを前記注目ブロックに隣接する参照ブロックの動きベクトルとして用いて、前記代表ベクトルを決定するための手段とからなる。

【0013】以上に述べた本発明の構成によれば、従来技術に較べて少ない演算量で、高精度に画像の動きベクトルを生成できる。また、動き速度が所定値以上の動きベクトルの発生頻度を計測し、モーションジャダー妨害が目立ちやすい画像に限定して動き補正内挿フレームの信号処理を行うようにした場合、動き補正処理に固有の画質劣化を回避でき、シーンチェンジ・フレームのように特定の画像条件下では動きベクトル生成処理を中止するようにすれば、演算量を更に低減できる。

【0014】

【発明の実施の形態】本発明の第1の実施例について、図1～図11を参照して説明する。図1は、飛び越し走査の入力画像信号S1をフレーム数の多い順次走査の出力画像信号S4に変換する本発明のフレーム数変換回路のブロック構成図であり、ここでは、1例として、図示しないA/D変換器によってデジタル化された50Hz

の入力画像信号を60Hzの出力画像信号に変換する場合について説明する。

【0015】飛び越し走査の入力画像信号S1（輝度信号成分と色差信号成分）は、IP（Interlace-Progress）変換部1に輸入され、順次走査信号系列の画像信号（輝度信号成分と色差信号成分）S2に変換される。2は、画像信号をS2を1フレーム期間遅延させるための1フレーム遅延部2であり、これによって、現在入力中の画像信号S2と並列的に前フレームの画像信号系列S3が得られる。これら2つの画像信号S2、S3は、動きベクトル生成部3と動き補正内挿フレーム生成部4にそれぞれ並列的に供給され、上記動き補正内挿フレーム生成部4から出力された内挿フレームの画像信号SMCと現在フレームの画像信号S2とが、バッファメモリ5に選択的に書き込まれる。

【0016】動きベクトル生成部3は、本発明の中核をなすものであり、後述するように、代表ベクトル設定、再探索、特異ベクトル修正/平滑、ミニブロック分割探索のための信号処理を行い、画素単位の高精度の動きベクトルPVを生成する。動き補正内挿フレーム生成部4は、動きベクトル生成部3から出力された画素単位の動きベクトルPVに基づいて、動き補正フレーム数変換に必要な内挿フレームの画像信号系列SMCを生成する。50Hzから60Hzへのフレーム数変換は、後で詳述するように、5フレーム分の入力画像を繰り返し単位として、各繰り返し単位における第1入力フレームを変換後の第1フレーム、第1～第5の5つの入力フレームと次の繰り返し単位における第1入力フレームとから生成された5つの内挿フレームを変換後の第2～第6フレームとしてバッファメモリ5に書き込み、これらを60Hzの固定

周期で読み出すことによって達成できる。6は制御部であり、上述した動きベクトル生成部3、動き内挿フレーム生成部4の動作に必要な制御信号の他に、バッファメモリ5のR/W信号を生成する。

【0017】図2は、動きベクトル生成部3の構成を示すブロック図である。動きベクトル生成部3は、静/動ブロック判別部31と、代表ベクトル設定部32と、再探索部33と、特異ベクトル修正・平滑部34と、ミニブロック分割探索部35と、各ブロック毎の動きベクトルの値を記憶するためのメモリ36と、制御部6aからなっている。上記動きベクトル生成部3の機能をフローチャートで示すと図3のようになる。

【0018】静/動ブロック判別部31は、現フレームと前フレームをそれぞれ所定画素数（例えば、水平8画素×垂直8ライン）のブロックに分割し、各ブロック毎のフレーム差分信号を算出することによって、静止ブロックか動画ブロックかを判定する（ステップ110）。各画像フレームにおけるブロック抽出は、例えば、それぞれ1水平ライン分の画素記憶容量をもつ8本のシフトレジスタを直列に接続し、各シフトレジスタの最後の8画素を並列的に取り出す構成の部分画像抽出回路によって達成できる。上記部分画像抽出回路によれば、画素を並列出力する8×8画素のウィンドウに着目すると、画像フレームにおける第1ラインの第1画素が第6シフトレジスタの最終位置に到達した時点で、他の第1～第5シフトレジスタの最終位置にはそれぞれ第2～第6ラインの第1画素が到達しているため、上記ウィンドウには画像フレーム左上に位置した8×8画素の第1ブロックが現れており、8クロック後には、上記第1ブロックの右側に隣接した第2ブロックが現れることになる。

【0019】従って、現フレームの信号系列S2と前フレームの信号系列S3に対応した2つの部分画像抽出回路を用意し、それぞれの輝度信号成分を上記部分画像抽出回路に並列的に供給し、8クロック周期で上記ウィンドウからの出力画素を比較することによって、フレーム間のブロック差分信号成分を抽出することができるため、この信号レベルが設定値±Tha未満の場合は静止ブロック、それ以外は動きブロックと判定し、判定結果を静/動識別信号MSB（静止ブロックは0、動画ブロックは1）として出力する。なお、1フレーム間の差分信号成分がゼロの完全静止の場合、通常の判定結果とは区別して次段の代表ベクトル設定部32に通知するようにしてもよい。

【0020】代表ベクトル設定部32は、静/動ブロック判定部31で判定したブロック（以下、注目ブロックという）が動ブロックの場合に、現フレームにおいて上記注目ブロックと隣接する処理済のブロック、または前フレームにおいて上記注目ブロックに隣接するブロックの動きベクトルを参照し、予測誤差が最小となる動きベクトルを上記注目ブロックの代表ベクトルとして選択す

る(ステップ130)。代表ベクトル設定部32からは、上記代表ベクトルを示す信号TMVと予測誤差信号を示す信号TERが出力され、次の再探索部33に供給される。内、上記注目ブロックが静ブロックの場合は、代表ベクトルの値は0に設定され、出力信号TMVとTERは共に0となる。

【0021】図4は、上述した注目ブロックB22とこれに隣接する参照ブロックとの関係を示す。これらのブロックは、時間軸上では、B11、B12、B13、B21、B22、B23、B31、B32、B33、...の順序で処理されている、注目ブロック

$$TER = \sum |S2(x, y) - S3(x + RMx, y + RMy)| \cdots (1)$$

ここで、 $S2(x, y)$ は注目ブロック位置 (x, y) における現フレームの信号、 $S3(x + RMx, y + RMy)$ は、動きベクトルRMVの x 方向成分 RMx 、 y 方向成分 RMy だけ移動させた位置での前フレームの信号、記号 $||$ はその絶対値、 Σ はブロック内の画素についての総和を意味している。代表ベクトル設定部32では、注目ブロックに隣接する複数の参照ブロックの中から、この予測誤差が最小となる参照ブロックを選択し、選択された参照ブロックの動きベクトルの値を上記注目ブロックの代表ベクトルTMV、その時の予測誤差をTERとして出力する。

【0023】再探索部33は、代表ベクトルTMVを起点にして予測誤差TERとベクトル方向で決まる所定の探索領域において、ブロックマッチングによる動きベクトルの再探索を行い、探索された動きベクトルの値を信号BMVとして出力する(ステップ140)。尚、予測誤差TERが設定閾値(例えば、画素換算で16程度)以下の場合は、代表ベクトルTMVが注目ブロックに妥当な値であると判断し、上述した再探索処理を省略し、代表ベクトルTMVの値をブロック動きベクトルBMVとして出力する。

【0024】図5は、予測誤差TERの値が設定値以上の場合に実行される代表ベクトルTMVを起点とした再探索動作の概略を示す。同図(a)は、予測誤差による探索範囲の設定方法の一例を示す。予測誤差が小(例えば、16~20)の場合は実線で囲まれた領域、中(例えば20~28)の場合は点線で囲まれた領域、大(例えば28以上)の場合は太い点線で囲まれた領域の如く、予測誤差TERが大きくなるのに従って探索領域を拡大する。

【0025】同図(b)は、代表ベクトルTMVの向きに応じた探索領域の設定方法の1例を示す。例えば、代表ベクトルの x 方向成分 Vx と y 方向成分 Vy を比較した時、 $|Vx| > |Vy|$ となって水平方向に近い動きの場合は横長形210、 $|Vx| = |Vy|$ となって斜め方向の動きの場合は正方形220、 $|Vx| < |Vy|$ となって垂直方向に近い動きの場合は縦長形230の形状で探索領域を設定し、各探索領域でブロックマッチングによる再探索を行い、

* クB22より前に位置した斜線で示した参照ブロックB11、B12、B13、B21は、現フレームで既に動きベクトルを生成済みのブロックであり、注目ブロック以降に位置した参照ブロックB23、B31、B32、B33は、前フレームにおける隣接ブロックである。代表ベクトル設定部32は、メモリ36が記憶している各ブロックの動きベクトル値の中から、上記参照ブロックに対応する動きベクトルRMVを取り込み、次式によって各参照ブロック毎の予測誤差TERを算出する。

【0022】

【数1】

予測誤差が最小となる動きベクトルを注目ブロックの動きベクトルBMVとして出力する。

【0026】特異ベクトル修正・平滑部34は、再探索部33から出力された注目ブロックの動きベクトルBMVが、隣接ブロックの動きベクトルと比較して相関が低い特異ベクトルとなっていた場合に、これを妥当な動きベクトルに修正した上で、補正動きベクトルBMVCとして出力する(ステップ150)。

【0027】図6は、上記特異ベクトル修正・平滑部34の動作を説明するためのものであり、同図(a)は特異ベクトルの検出と修正を示す。注目ブロックB22の動きベクトルBVが、これに隣接する上下左右のブロックB12、B21、B23、B32の動きベクトルBV1~BV4のいずれとも異なる場合は、現在の動きベクトルBVを特異ベクトルと判断する。この場合は、上下左右の隣接ブロックの動きベクトルに対して、式(1)に示した演算によって予測誤差を算出し、予測誤差が最小となる動きベクトルBV_iで上記注目ブロックの動きベクトルBVを置き換える。例えば、上側に隣接するブロックB12の動きベクトルBV1が最小の予測誤差となった場合、注目ブロックの動きベクトルBVを上記BV1に置き換える。

【0028】同図(b)は、特異ベクトル修正・平滑部34で行う動きベクトルの平滑化を示す。白抜きブロックで示した注目ブロックB22をコーナーとして、左上隣接領域241、右上隣接領域242、左下隣接領域243、右下隣接領域244の4種類の隣接領域について、その領域に含まれる各ブロックの動きベクトルの相関を算出する。この場合、例えば、動きベクトル相互の差分成分の絶対値和が小さければ小さいほど「相関が高い」と定義し、上記何れかの領域で算出された相関値が予め決められた設定閾値を越えた場合、上記注目ブロックに与えた動きベクトルBV_iを、最も高い相関値を示す領域内の3つのブロックの平均的な動きベクトルで置き代える。例えば、左上隣接領域241で相関が最も高かった場合、注目ブロックB22の動きベクトルBV_iを動きベクトルBV1、BV2、BV3の平均値に置き代えることによって、隣接ブロックと注目ブロックの動きベ

クトルを平滑化する。上述した特異ベクトルの修正、平滑化に必要な隣接ブロックの動きベクトルは、メモリ36から取り込む。

【0029】上記特異ベクトル修正・平滑部34で得られた最終的な動きベクトルBMVCと予測誤差ERは、次段のミニブロック分割探索部35に供給される。また、上記最終的な動きベクトルBMVCは、メモリ36内の上記注目ブロックと対応した記憶位置に記憶され、後続する新たな注目ブロックでの動きベクトルの決定処理に利用される。動きベクトル生成部3の最終段となるミニブロック分割探索部35は、上記動きベクトルBMCと予測誤差ERを利用して、注目ブロック内の各画素毎の動きベクトルPVを生成する（ステップ160）。

【0030】図7は、上記ミニブロック分割探索部35の動作の説明図である。同図（a）は、注目ブロックのミニブロックへの分割と、分割探索に使用する参照ブロックを示す。注目ブロックB22は、水平・垂直方向に細分化され、例えば、水平2画素×垂直2ラインの複数のミニブロックに分割され、各ミニブロック毎に予測誤差適応の探索処理を行うことによって、ミニブロック内の画素の動きベクトルが生成される。

【0031】同図（b）は、予測誤差適応の探索処理を行う場合の特性の一例を示す。ブロック予測誤差ERB（図2では記号ERで表示）が小さい時はミニブロック予測誤差ERMの許容閾値を大きくし、ERBが大きくなるに従ってERMが漸次小さくなるような特性で抽出したミニブロックに対して後述の探索処理を行う。これ*

$$ERM = \sum |SMc - Smp| \quad \dots (2)$$

ここで、SMcは動き補正した現フレームの信号、Smpは動き補正した前フレームの信号、記号|は絶対値、記号Σはミニブロック内の画素についての総和を意味しており、探索部35では、上記ERMが最小となる動きベクトルで各ミニブロック内の画素の動きベクトルを生成する。なお、静/動ブロック判別部が完全静止と判定したブロック内の各画素に対しては、動きベクトル0を割り当てればよい。

【0035】次に、図8～図10を参照して、動き補正内挿フレーム生成部4の構成と動作について説明する。図8は、動き補正内挿フレーム生成部4の構成の一例を示す。41は、動きベクトル生成部3から出力される画素単位の動きベクトルPVに基づいて、前述した動き補正処理に必要なMCベクトルVctとVprを生成するMCベクトル生成部である。

【0036】例えば、50Hzの入力画像信号を60Hzの画像信号に変換する場合、図9に示すように、5フレーム分の入力画像から6フレーム分の出力画像を生成する動作を繰り返せばよい。図9において、F1、F2、... F5、F1は、入力順に示した50Hzのフレームであり、CF1、CF2、... CF6、CF1

* 以外の時には、ミニブロック内の画素に最終的な動きベクトルBMVCを割り当てる。また、探索処理を行うミニブロックでは、動き補正処理で生成される内挿フレーム上での誤差信号が最小となる動きベクトルで各画素の動きベクトルを生成する。

【0032】同図（c）は、動き補正処理でつくる内挿フレームと前後のフレームとの関係を示す。ここでは、内挿フレーム311を時間軸上で前フレーム301から距離m、現フレーム302から距離nの位置に生成する場合を考える。内挿フレーム上の位置A(x, y)の信号は、動きベクトルVに基いて生成したMCベクトルVpr ($Vpr = V \times m / (m+n)$) で移動させた位置Ap(xpr, ypr) (但し、 $xpr = x + Vprx$, $ypr = y + Vpry$) の前フレーム信号(Smpと略称する)と、MCベクトルVct ($Vct = V \times n / (m+n)$) で移動させた位置Ac(xct, yct) (但し、 $xct = x + Vctx$, $yct = y + Vcty$) の現フレーム信号(Smcと略称する)との平均値で生成する。動きベクトルが正確な場合には、上記2つの信号Smp、Smcは略同じ値となるため、両信号の差分成分によって動きベクトルの精度をある程度予測できる。

【0033】ミニブロック探索処理では、図7（a）に示した、現ブロックB22の動きベクトルBV0と、隣接ブロックの動きベクトルBV1～BV8に対して、次式（2）に示す演算によって予測誤差ERMを算出する。

【0034】
【数2】

30 は、出力順に示した60Hzのフレームを示す。図から明らかなように、各繰り返し動作において、出力画像の第1フレームCF1は、入力画像の第1入力フレームF1をそのまま出力し、出力画像の第2フレームCF2から第6フレームCF6は、それぞれ前後2つの入力フレームから生成した内挿フレームを出力すればよい。入力画像の5フレーム期間に6フレーム分の出力画像を等間隔で発生させるために、第2フレームCF2となる内挿フレームは、時間軸上における前フレームからの距離： $m=5$ 、現フレームからの距離： $n=1$ 、第3フレームCF3となる内挿フレームは、 $m=4$ 、 $n=2$ 、... 第6フレームCF6となる内挿フレームは、 $m=1$ 、 $n=5$ とする。MCベクトル生成部41は、このようにm、nの値を周期性をもって変化させながら、 $Vpr = PV \times m / (m+n)$ 、 $Vct = -PV \times n / (m+n)$ のMCベクトルを生成する。

【0037】図8に戻って、42は、現フレームの信号S2をMCベクトルVctで位置を移動させ、動き補正信号SMcを生成するための現フレームMC信号生成部、43は、前フレームの信号S3を動き補正ベクトルVprで位置を移動させ、動き補正信号Smpを生成す

るための前フレームMC信号生成部である。これらの処理では、内蔵する画像メモリの読み出しアドレスをMCベクトルVpr、Vctに相当する位置だけずらしてデータを読み出すことにより、MCベクトルに応じて位置移動した信号SMcとSMpを生成する。これら2つの動き補正信号SMcとSMpは、加算器44で加算平均することによって、双方向動き補正内挿フレーム信号SMが生成され、また、減算器45で一方から他方を減算することによって、内挿フレーム上での誤差成分MCERが生成される。50は、上記誤差成分MCERの値に応じて、入力信号S2、S3、SMのいずれかを選択的に出力するメディアフィルタ部であり、これによって、図9に示したCF2～CF6の順序で動き補正の内挿フレーム信号系列SMCが得られる。6bは、制御信号CT2に応じて上記各部の動作に必要な制御信号を生成する制御部であり、これは、図1に示した制御部6の一部として構成してもよい。

【0038】図10は、メディアフィルタ部50の1実施例を示し、同図(a)はブロック構成図、(b)はその動作条件の一例を示す。同図(a)において、51は、入力信号SM、S2、S3の何れかを選択して、信号SMCとして出力する選択部、52a、52bは、現画素の直前、直上の画素を参照画素として、これら参照画素に対して、信号S2と出力信号SMCとの誤差成分ERC、および信号S3と出力信号SMCとの誤差成分ERPを算出する誤差評価部、53は、内挿フレーム上での誤差成分MCERと、上記誤差評価部で算出された誤差成分ERC、ERPとの値に応じて、同図(b)に示す判定条件に従って、選択部51に選択信号SLを与える判定部である。この実施例では、MCERが設定閾値th(例えば、32レベル)以下の場合は、動き補正の内挿フレーム信号系列SMを出力し、MCERが設定値を越えた場合は、 $ERC \leq ERP$ ならば信号S2を、また、 $ERC > ERP$ ならば信号S3を出力するように選択信号SLを設定している。

【0039】選択部51は、判定部53から与えられる上記選択信号SLに応じて、入力信号SM、S2、S2の何れかを選択して出力信号SMCとする。これによって、全く別の画像に置き換わるような孤立点的劣化や動画エッジ周縁部がフリッカする劣化など、動き補正処理に固有の画質劣化を抑圧した形で内挿フレーム信号系列SMCを生成できる。

【0040】図11は、バッファメモリ部5における画像フレームの書き込み、読み出し動作を示す。50Hzのフレーム順の信号系列S2は、5フレームを繰り返し単位として、各繰り返しの第1フレームの信号がメモリ5に選択的に書き込まれ、内挿フレームの信号系列SMCは、生成した全てのフレーム2～6の信号がメモリ5に書き込まれる。一方、メモリ5からの読み出しは、60Hzのフレームクロックで、第1出力フレームCF1

は50Hz入力信号S2の第1フレーム、第2～第6出力フレームCF2～CF6は内挿フレーム2～6となるように6フレーム周期で繰り返し行う。これによって、フレーム数をアップした60Hz順次走査の画像信号系列S4が得られる。

【0041】以上に述べた如く、本発明の第1の実施例によれば、動きベクトル生成に要する演算量を削減して、動き補正処理に起因する画質劣化の少ないフレーム数変換回路を実現できる。

【0042】次に、図12～図13を参照して、本発明の第2の実施例について説明する。本実施例は、動き補正内挿フレームの生成をモーションジャダー妨害が目立ちやすい速度の動きに限定する場合に好適である。図12は、本実施例によるフレーム数変換回路のブロック図であり、図1に示した第1実施例の構成にベクトル分布計測部8を追加した構成となっている。ベクトル分布計測部8は、動きベクトル生成部3で生成したブロック単位の動きベクトルBMVの1フレーム期間における発生分布を計測し、モーションジャダー妨害が目立ちやすい速度の時は“0”、目立ちにくい速度の時は“1”の、動き補正制御信号MCFを生成する。

【0043】一般に、モーションジャダー妨害は、視線が追従できる速度の動き(例えば、画面幅/1秒、画面高/1秒程度までの速度)で目立ちやすい。これは、横軸に動きベクトルの水平成分Vxの絶対値、縦軸に垂直成分Vyの絶対値をとって図示すると、図13の点線で囲まれた領域Aでの動きベクトルに相当する。上記領域Aの外側領域Bでの動きベクトルは、動きが速いため、モーションジャダー妨害は殆ど検知されない。そこで、ベクトル分布計測部8では、上記領域Aと領域Bでの動きベクトルの発生頻度を1フレーム期間にわたって計測し、例えば、領域Bでの発生頻度が25%未満の場合は、動き補正処理が必要と判断して出力信号MCFを“0”にし、25%以上の場合は、動き補正処理は不要と判断して出力信号MCFを“1”にする。制御部6は、上記信号MCFが“1”の場合は、動き補正内挿フレーム生成部4が動き補正処理を行わずに現フレームの信号S2を出力するように制御し、MCFが“0”の場合は、動き補正内挿フレーム生成部4が第1実施例と同様に動作するように制御する。

【0044】本実施例によれば、モーションジャダー妨害の目立ちやすい速度に限定して動き補正処理を行うため、動きベクトルの生成に要する演算量を大幅に削減し、かつ、動き補正処理に起因する画質劣化を更に抑圧した画像信号のフレーム数変換回路が実現できる。

【0045】図14～図15は、特に、シーンチェンジ領域での動きベクトル生成の演算量を抑圧するに好適な本発明の第3の実施例を示す。図14は、本実施例によるフレーム数変換回路のブロック構成図であり、図12に示した第2実施例の構成に、シーンチェンジ検出部7

を追加した構成となっている。シーンチェンジ検出部7では、図15に示すように、減算部71によって、現フレームの信号S2と前フレームの信号S3の輝度信号成分との減算演算を行い、1フレーム間の差分成分FDを抽出する。一般に、シーンチェンジの領域では、画像の内容が切り替わるため、差分成分FDの信号レベルは比較的大きな値を持つ。そこで、上記差分成分信号FDを、2値量子化部72によって比較的高いレベルの閾値 $\pm Thb$ で画素毎に2値量子化し、閾値 $\pm Thb$ 未満の画素では出力信号FQを“0”、閾値を越える画素では出力信号FQを“1”にし、1フレーム累積部73によって、上記信号FQが“1”となる画素数を1フレーム期間にわたって計測し、その累積値AQを出力する。

【0046】74は判定部であり、累積値AQの値が全画面の半分以上の画素数で、かつ、その発生が1フレーム期間に限られる場合にシーンチェンジ発生フレームと判断して、出力信号SCFを“1”にし、それ以外の場合は信号SCFに“0”を出力する。その理由は、画面全体が一樣な速度で動く水平パンや上下パンの動きを誤ってシーンチェンジとして検出する誤動作を回避するためである。本実施例の場合、制御部6は、シーンチェンジ検出部7の出力信号SCFが“1”となるシーンチェンジ領域では、動きベクトル生成部3におけるベクトル生成動作、動き補正内挿フレーム生成部4における動き補正処理による内挿フレーム生成動作を中止するように制御し、上記信号SCFが“0”の場合は、第2実施例と同様に制御する。

【0047】本実施例によれば、第1、第2の実施例に較べて、シーンチェンジ領域での動きベクトルの生成のための膨大な演算量を削減した画像信号のフレーム数交換回路を実現できる。

【0048】図16～図17は、本発明の第4の実施例を示す。本実施例では、第1～第3の実施例で最終段に必要としていたバッファメモリ部5を省略し、IP変換部1の直後において、コマ繰り返し処理によってフレーム数を出力画像のフレーム数にアップしておき、以降、このフレーム数の高い信号系列に対して動きベクトル生成と動き補正処理を行うようにしている。

【0049】図16は、本実施例によるフレーム数交換回路のブロック構成図であり、バッファメモリ5を除いて、図1に示した第1実施例の同様の構成要素と、IP変換部1の後に設けられたフレーム数アップ部81とからなっている。上記フレーム数アップ部81は、コマ繰り返し処理によって、入力信号系列をフレーム数をアップした出力信号系列に変換するものであり、例えば、50Hz～60Hz交換の場合、50Hzの入力信号系列S2と60Hzの出力信号系列S10との関係は図17(a)のようになる。

【0050】50Hzフレーム順の信号系列S2に対して5フレーム周期で1フレームのコマ繰り返し処理を行

うことによって、信号系列S2の第1フレームの信号「1」が2フレーム連続し、これに第2～第5フレームの信号「2」～「5」が続く形で60Hzフレーム順の信号系列S10が得られる。本実施例では、上記60Hzフレーム順の信号系列S10と、1フレーム遅延部2で1フレーム期間遅延させた信号系列S11とを用いて、以降の動きベクトル生成、動き補正内挿フレーム生成の信号処理を行う。

【0051】信号系列S10、S11と、最終的な出力信号系列S4との関係を図(b)に示す。信号系列S10とS11とが同一の区間(信号系列S10におけるフレーム1の繰り返し出力期間)では、フレーム間差分成分が0となるため、動きベクトル生成部3が、全ての動きベクトルに0を出力し、動き補正内挿フレーム生成部4が、現フレームの信号系列S10を出力する。一方、信号系列S10とS11とが異なるフレームの区間では、動きベクトル生成部3が、第1実施例と同様の動作で動きベクトルPVを生成し、動き補正内挿フレーム生成部4が、上記動きベクトルPVに応じた動き補正処理による内挿フレーム信号を生成するため、第1出力フレームが信号系列S10の第1フレーム、第2～第5出力フレームが内挿フレームからなるフレーム数のアップされた順次走査の画像信号系列S4が得られる。

【0052】上記第4実施例によれば、第1実施例と同様に、動きベクトルの生成に要する演算量を大幅に削減し、かつ、動き補正処理に起因する画質劣化が少ない画像信号のフレーム数交換回路が実現できる。尚、図12に示したベクトル分布計測部7と、図14に示したシーンチェンジ検出部8の機能は、上記第4実施例の構成に対しても適用可能なことが明らかである。

【0053】以上の実施例では、順次走査の画像信号系列で動きベクトルを生成したが、本発明による動きベクトルの生成は飛び越し走査の画像信号系列に対しても適用できる。図18～図20は、飛び越し走査の画像信号系列に適用した本発明によるフレーム数交換回路の第5の実施例を示す。図18は、フレーム数交換回路のブロック図であり、飛び越し走査の画像信号系列S1(輝度信号成分と色差信号成分)と、1フレーム遅延部82で上記信号系列S1を1フレーム期間遅延させた信号系列S20とが、動きベクトル生成部3に入力される。動きベクトル生成部3は、前述の第1～第4実施例と同様の構成で、静/動ブロック判別、代表ベクトル設定、再探索、特異ベクトル修正・平滑、ミニブロック分割探索の信号処理を行い、飛び越し走査信号の1フレーム期間(順次走査信号の2フレーム期間に相当する)でミニブロック単位の動きベクトルPVを生成する。尚、ミニブロックのサイズは、水平N画素×垂直Nラインであり、第1実施例に従えば、N=2である。

【0054】83は、飛び越し走査信号S1、S20を入力信号として、順次走査信号S21(輝度信号成分と

色差信号成分)を出力するIP変換部であり、このIP変換部は、従来の動き適応型、あるいは動きベクトルPVを利用した動き補正型の何れの構成でも実現できる。上記順次走査の信号系列S21は、これを1フレーム遅延部2によって順次走査の1フレーム期間だけ遅延させた信号系列S22と、動きベクトル生成部3から出力された飛び越し走査の1フレーム期間の動きベクトルPVと共に、FRCベクトル生成部84に入力され、動き補正フレーム数変換に必要な順次走査の1フレーム期間の動きベクトルPVMCが生成される。

【0055】上記FRCベクトル生成部84は、例えば図19に示すように、ベクトル変換部841とベクトル修正部842とからなる。ベクトル変換部841は、飛び越し走査系の1フレーム期間で生成したミニブロック単位の動きベクトルPVを、順次走査系の1フレーム期間の動きベクトルPVPに変換する。飛び越し走査系では、走査線位置の異なる第1、第2の2つのフィールド(奇数フィールドと偶数フィールド)で1つのフレームが形成されている。このため、前述した動きベクトル生成部3では、互いに1フレーム期間離れた奇数フィールドの組および偶数フィールドの組で動きベクトルを生成する。

【0056】即ち、図20(a)に示すように、隔てられた2つの第1(奇数)フィールド動きベクトルPV1を生成し、2つの第2(偶数)フィールドで動きベクトルPV2を生成する。この動きベクトルは、同図(b)に示すように、順次走査系では2フレーム期間での動きベクトルに相当する。ベクトル変換部841は、これら動きベクトルPV1、PV2を1/2にするための変換処理を行い、得られた動きベクトルPV1/2、PV2/2で順次走査系の1フレーム期間の動きベクトルPVPを生成する。

【0057】一方、ベクトル修正部842は、図21(a)に示すように、動きベクトルPVPを起点とした再探索処理によって、最終的な動きベクトルPVMCを生成する。順次走査系は、飛び越し走査系に比べて走査線の密度が2倍となっており、順次走査系の1フレーム期間に変換した動きベクトルPVPは、サイズが水平N画素×垂直2Nラインのミニブロックに対応したものとなっている。そこで、ベクトル修正部842では、図21(b)に示すように、入力された動きベクトルPVPをサイズが水平N画素×垂直Nラインの2つのミニブロックに割り当て、次に、この各ミニブロックでの予測誤差を算出する。予測誤差が設定値未満の場合は、これを動き補正処理の画素単位の動きベクトルPVMCとして出力し、設定値以上の場合には、これを起点とした再探索処理を行い、予測誤差が最小となる動きベクトルをPVMCとして出力する。図18に戻って、動き補正内挿フレーム生成部4とバッファメモリ部5は、第1の実施例と同様に動作し、バッファメモリ部5からフレーム数

がアップされた順次走査の画像信号系列S4が得られる。

【0058】図22は、本発明によるフレーム数変換回路の第6の実施例を示す。本実施例では、第5実施例における最終段のバッファメモリ部5を省略し、IP変換部83の後にフレーム数アップ部81を設け、飛び越し走査系で生成した動きベクトルPVに基づいて、FRCベクトル生成部84が、動き補正の内挿フレーム生成に必要な動きベクトルを生成するようにしている。上記第5、第6実施例によれば、動きベクトルの生成に要する演算量が少なく、かつ、動き補正処理に起因する画質劣化を抑圧した画像信号が得られる。尚、前述の第2、第3実施例の特徴は、上記第5、第6実施例の構成に対しても適用可能なこと明らかである。

【0059】さて、画像符号化の進展に伴い、通信、放送の分野でも、国際標準規格であるMPEGビデオ符号化によって画像圧縮したデータ伝送が行われるようになってきた。ビデオ符号化では、動き補償予測符号化が用いられるため、圧縮画像データと共に動きベクトル情報が伝送される。以下、図23～図27を参照して、上記動きベクトル情報を利用して動きベクトルを生成する本発明の更に他の実施例について説明する。

【0060】図23は、本発明によるフレーム数変換回路の第7の実施例を示すブロック図であり、図18で示した第5実施例における動きベクトル生成部3に代えて、図24で詳述する動きベクトル生成部30を適用し、デコーダ部85から入力画像の信号系列S1を得る構成となっている。本実施例では、例えば、MPEGビデオ符号化など、動き補償予測符号化によって符号化されたビデオデータストリーム信号DBSをデコーダ部85に入力し、所定の復号処理を行うことによって、飛び越し走査の画像信号系列S1(輝度信号と色差信号)と動きベクトル情報MVとに分離して出力する。飛び越し走査の画像信号系列S1は、これを1フレーム遅延部82で1フレーム期間遅延させた信号S20および上記デコーダ部から出力された動きベクトル情報MVと共に動きベクトル生成部30に入力され、飛び越し走査の1フレーム期間での動きベクトルPVが生成される。IP変換部83以降の回路動作は、前述の第5実施例と同様であり、説明は省略する。

【0061】図24は、動きベクトル生成部30の構成を示す。動きベクトル生成部30は、静/動ブロック判定部31、ベクトル変換設定部37、再探索部33、特異ベクトル修正・平滑部34、ミニブロック分割探索部35、制御部6aからなり、ベクトル変換設定部37以外の回路要素は、図2で説明した第1実施例の場合と基本的に同一である。

【0062】ベクトル変換設定部37は、デコーダ部35から供給される現フレームの信号系列S1と、1フレーム遅延部82から供給される1フレーム前の信号系列

10

20

30

40

50

S20と、前段の静／動ブロック判別部31から供給される静／動識別信号MSBと、上記デコーダ部85から供給される動きベクトル情報MVとに基づいて、代表ベクトルTMVを決定するものであり、その構成の1例を図25に示す。

【0063】図25において、Pベクトル変換部372とBベクトル変換部373は、それぞれ動き補償予測符号化で使用する動きベクトル情報MVに基づいて、図26に示すベクトル変換によって、飛び越し走査系の1フレーム期間の変換ベクトルMVPとMVBを生成する。動き補償予測符号化による画像符号化のうち、国際標準規格のMPEGビデオ符号化では、図26(a)に示すように、画像信号シーケンスをIピクチャ、Pピクチャ、Bピクチャに分け、Iピクチャではフレーム内DCT(離散コサイン変換)符号化、Pピクチャでは一方方向MC符号化+DCT符号化、Bピクチャでは双方向MC符号化+DCT符号化を行っている。また、Pピクチャでは、図に右方向矢印で示すように、一方方向のPベクトルで位置移動させて生成した予測フレームとの差分成分をDCT符号化し、Bピクチャでは、右／左方向の矢印

で示すように、双方向のBベクトルで生成した予測フレームとの差分成分をDCT符号化している。

【0064】図26(b)は、Pベクトル変換部372の動作を示す図であり、PベクトルMV1、MV2、MV3、MV4は、同図(a)に示した画像信号シーケンスにおけるPピクチャ間に相当するnフレーム(ここに示した例ではn=3)期間の動きベクトルを示している。Pベクトル変換部372は、上記動きベクトルを1/n(図では1/3)のベクトルMVP1(MV1/3)、MVP2(MV2/3)、...に変換することによって、1フレーム期間相当の変換ベクトルMVPを生成している。

【0065】図26(c)は、Bベクトル変換部373の動作を示す図である。Bベクトルでは、長さの異なる矢印で示すように、フレーム期間の異なる複数種類の動きベクトルが存在している。Bベクトル変換部373は、これらの動きベクトルのうち、点線矢印で引用した1フレーム期間に相当するものを選択し、変換ベクトルMVB(MVB1、MVB2、...)として出力する。

【0066】上記Pベクトル変換部とBベクトル変換部から出力された変換ベクトルMVP、MVBは、図25に示すように、予測誤差評価部374に入力され、現フレームの信号S1と前フレームの信号S20を用いた予測誤差演算に利用され、予測誤差を最小にする変換ベクトルMVTと予測誤差ERTとが出力される。選択部375は、静／動識別信号MSBが動ブロックを示す時は、予測誤差評価部374から入力された変換ベクトルMVTと予測誤差ERTを出力し、静止ブロックを示す時は、出力MVTとERTを0とする。

【0067】図27は、本発明によるフレーム数変換回路の第8の実施例を示す。本実施例は、上記第7実施例に図22に示した第6実施例の特徴を適用したものであり、図23における最終段のバッファメモリ部5を省略し、IP変換部83の後にフレーム数アップ部81を設け、飛び越し走査系で生成した動きベクトルPVに基づいて、FRCベクトル生成部84が、動き補正の内挿フレーム生成に必要な動きベクトルを生成するようにしている。

10 【0068】上述した第7、第8実施例によれば、動きベクトル情報を活用して動きベクトル生成に要する演算量を更に少なくしたフレーム数変換回路を実現できる。尚、これらの実施例に対しても、前述の第2、第3実施例の特徴を適用できること明らかである。

【0069】以上の実施例では、1例として、50Hzの飛び越し走査の信号系列を入力信号とし、これを60Hzの順次走査の信号系列に変換する場合のフレーム数変換動作について説明したが、本発明は、PAL方式からNTSC方式へのテレビジョン信号の変換、PAL50HzからPAL60Hz(または75Hz、100Hzへの)変換、フィルム画像(フレーム周波数24Hz/30Hz)の60Hzへの変換、テレビジョン信号からパソコン画像信号への変換など、各種のフレーム数変換回路に適用可能であり、製品形態も、テレビジョン受像機、DVDプレイヤー、PC機器、PAD端末など、各種の家電情報端末装置に適用できる。

【0070】

【発明の効果】本発明によれば、動きベクトル生成に要する信号処理の演算量や回路規模が小さくして、動き補正に固有な画質劣化を抑圧した高画質のフレーム数変換を実現できる。また、本発明によれば、NTSC方式、PAL方式など、方式の異なる各種の画像信号を映像出力装置側で要求するフレーム周波数に高画質で変換できるため、極めて広い用途を有する。

【図面の簡単な説明】

【図1】本発明によるフレーム数変換回路の第1の実施例を示すブロック図、

【図2】図1の動きベクトル生成部3の1実施例を示すブロック図、

40 【図3】図2に示した動きベクトル生成部3の動作を示すフローチャート、

【図4】図2の代表ベクトル設定部32で処理中の現ブロックと参照ブロックとの関係を示す図、

【図5】図2の再探索部33で行う再探索範囲に関する説明図、

【図6】図2の特異ベクトル修正・平滑部34の動作を説明するための図、

【図7】図2のミニブロック分割探索部35の動作を説明するための図、

50 【図8】図1の動き補正内挿フレーム生成部4の構成を

示すブロック図、

【図9】図8の50Hzから60Hzへのフレーム数変換における入力フレームと出力フレームとの関係を示す図、

【図10】図8のメディアンフィルタ部50の構成と動作条件を示す図、

【図11】図1のバッファメモリ部5の書き込み動作と読み出し動作を説明するための図、

【図12】本発明によるフレーム数変換回路の第2の実施例を示すブロック図、

【図13】動きベクトルとモーションジャンダーとの関係を説明するための図、

【図14】本発明によるフレーム数変換回路の第3の実施例を示すブロック図、

【図15】図14のシーンチェンジ検出部7の構成を示すブロック図、

【図16】本発明によるフレーム数変換回路の第4の実施例を示すブロック図、

【図17】図16のフレーム数アップ部81の動作を説明するための図、

【図18】本発明によるフレーム数変換回路の第5の実施例を示すブロック図、

【図19】図18のFRCベクトル生成部84の構成を示すブロック図、

【図20】飛び越し走査系と順次走査系の動きベクトルの関係を示す図、

【図21】図19のベクトル修正部841の動作を説明するための図、

【図22】本発明によるフレーム数変換回路の第6の実

* 施例をのブロック図、

【図23】本発明によるフレーム数変換回路の第7の実施例を示すブロック図、

【図24】図23の動きベクトル生成部30の構成を示すブロック図、

【図25】図24のベクトル変換設定部37の構成を示すブロック図、

【図26】MPEG符号化の特徴と、図25のPベクトル変換部372およびBベクトル変換部373の動作を説明するための図、

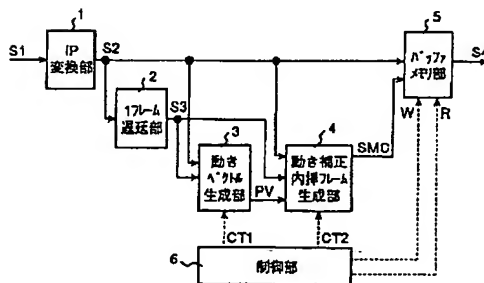
【図27】本発明によるフレーム数変換回路の第8の実施例を示すブロック図である。

【符号の説明】

1…IP変換部、2…1フレーム遅延部、3、30…動きベクトル生成部、4…動き補正内挿フレーム生成部、5…バッファメモリ部、6…制御部、7…シーンチェンジ検出部、8…ベクトル分布計測部、31…静/動ブロック判別部、32…代表ベクトル設定部、33…再探索部、34…特異ベクトル修正・平滑部、35…ミニブロック分割探索部、36…メモリ部、37…ベクトル変換設定部、41…MCベクトル生成部、42…現フレームMC信号生成部、43…前フレームMC信号生成部、44…加算部、45…減算部、50…メディアンフィルタ部、51…選択部、52…誤差評価部、53…判定部、372…Pベクトル変換部、373…Bベクトル変換部、374…予測誤差評価部、375…選択部、81…フレーム数アップ部、82…1フレーム遅延部、83…IP変換部、84…FRCベクトル生成部、85…デコーダ部

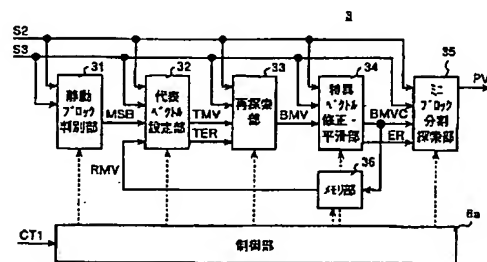
【図1】

図 1



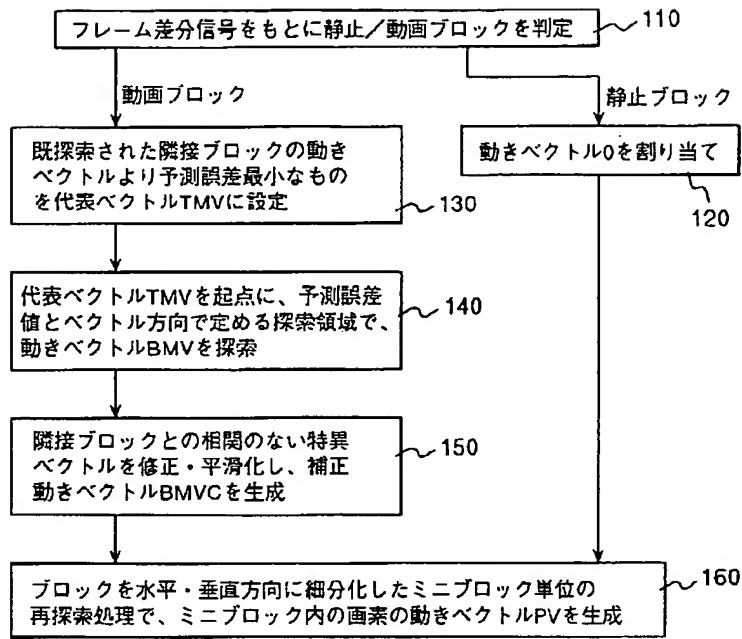
【図2】

図 2



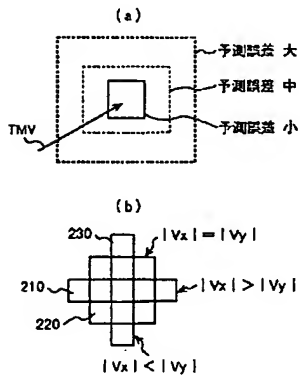
【図3】

図 3



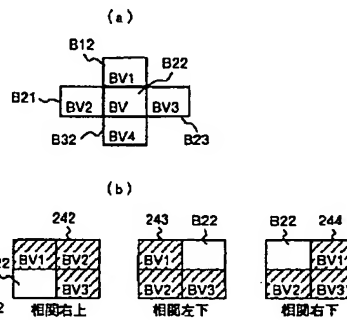
【図5】

図 5



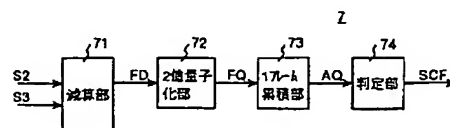
【図6】

図 6



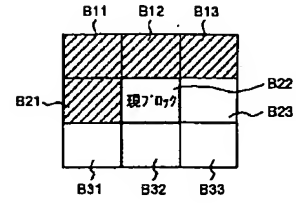
【図15】

図 15



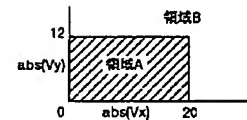
【図4】

図 4



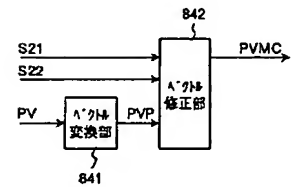
【図13】

図 13



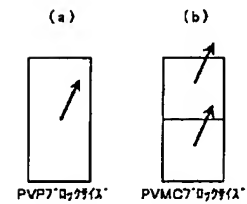
【図19】

図 19



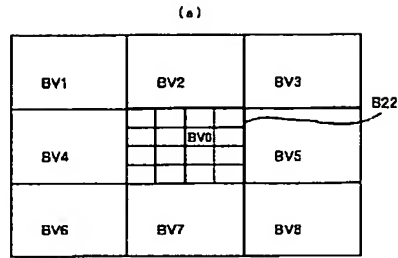
【図21】

図 21



【図7】

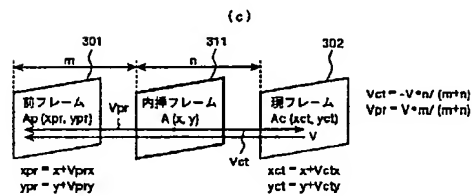
図 7



(b)

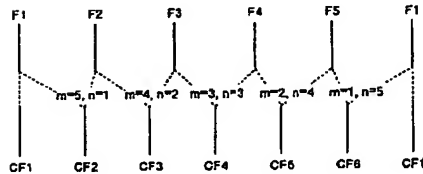
ブロック予測誤差ERB	ミニブロック予測誤差ERM
ERB ≤ 8	ERM > 40
8 < ERB ≤ 12	ERM > 36
12 < ERB ≤ 16	ERM > 32
16 < ERB ≤ 20	ERM > 28
ERB > 20	ERM > 24

ERB, ERMは西演算の値



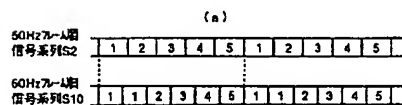
【図9】

図 9



【図17】

図 17

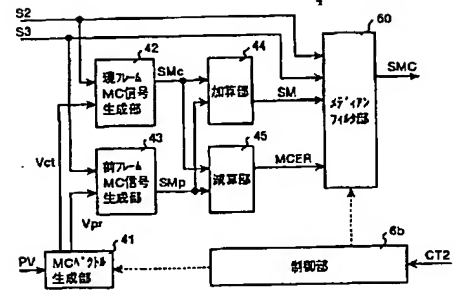


(b)



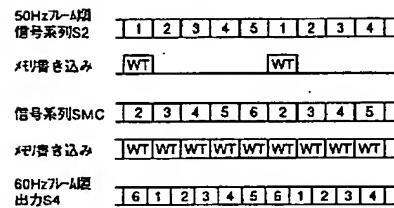
【図8】

図 8



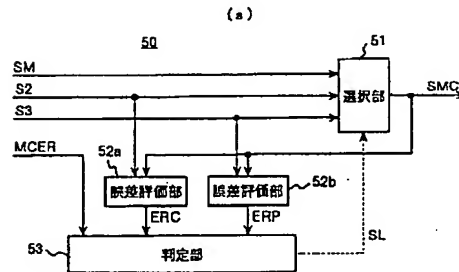
【図11】

図 11



【図10】

図 10

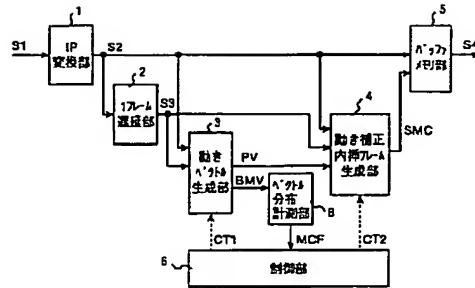


(b)

判定条件	出力選択
MCER ≤ th (th=32)	SM
MCER > th, ERC ≤ ERP	S2
MCER < th, ERC > ERP	S3

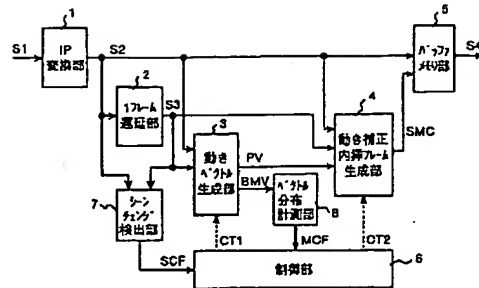
【図12】

図 12



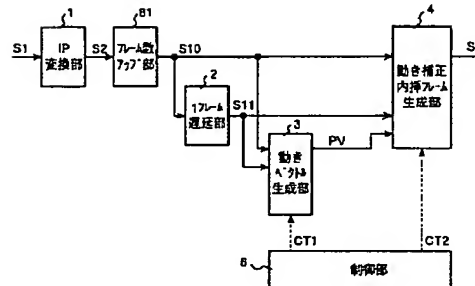
【図14】

図 14



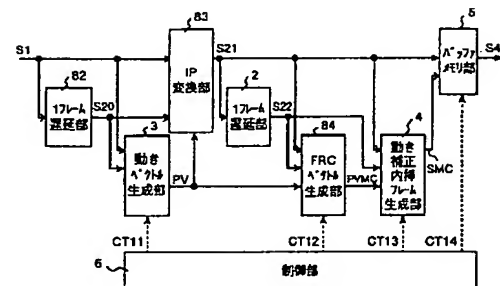
【図16】

図 16



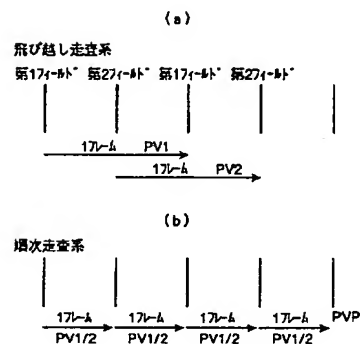
【図18】

図 18



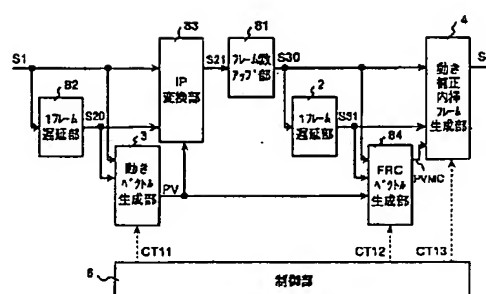
【図20】

図 20



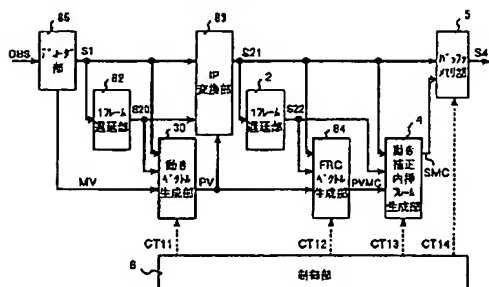
【図22】

図 22



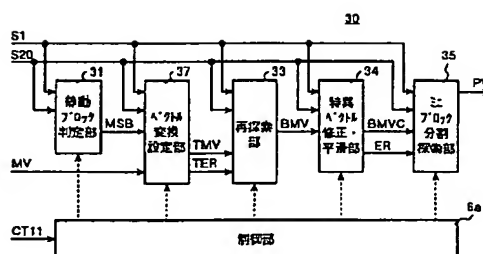
【圖 23】

23



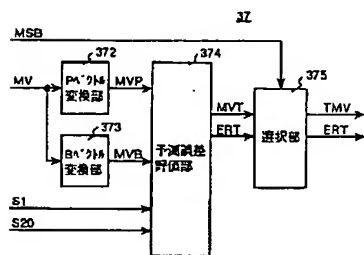
【圖 24】

24



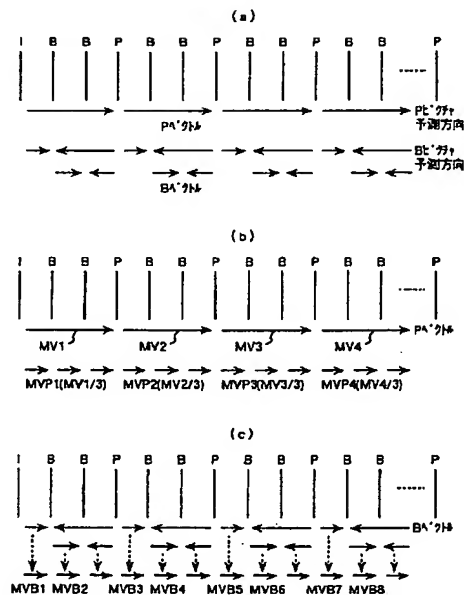
【圖25】

25



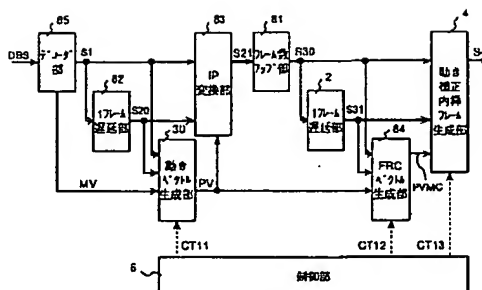
【圖 26】

26



【図27】

図 27



フロントページの続き

(72)発明者 杉山 雅人
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 中嶋 満雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 都留 康隆
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内

(72)発明者 的野 孝明
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

(72)発明者 高田 春樹
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

(72)発明者 兼八 孝至
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像情報メディア事業部
内

Fターム(参考) SC059 KK00 LA06 LA07 LB13 MA00
MA05 MA23 NN01 NN03 NN10
NN11 NN21 NN24 NN28 NN29
NN34 NN43 SS02 SS13 SS26
TA63 TB08 TC03 TC12 TD10
TD12 UA35 UA38
SC063 AA02 AA03 AB03 BA01 BA09
BA10 BA12 CA07 CA09 CA29
DA01 DA13 EB45